

第2章 ハードウェア設計

2.1 開発概要

ミッションペイロードの開発コンセプトは、自前で発電できる高電圧太陽電池を使用して高電圧を発生し、プラズマ相互作用により軌道上で放電試験を行うことである。放電試験では放電抑制技術の耐宇宙環境性の評価が行われる。ペイロードの電気回路概要を図 2.1 に示す。

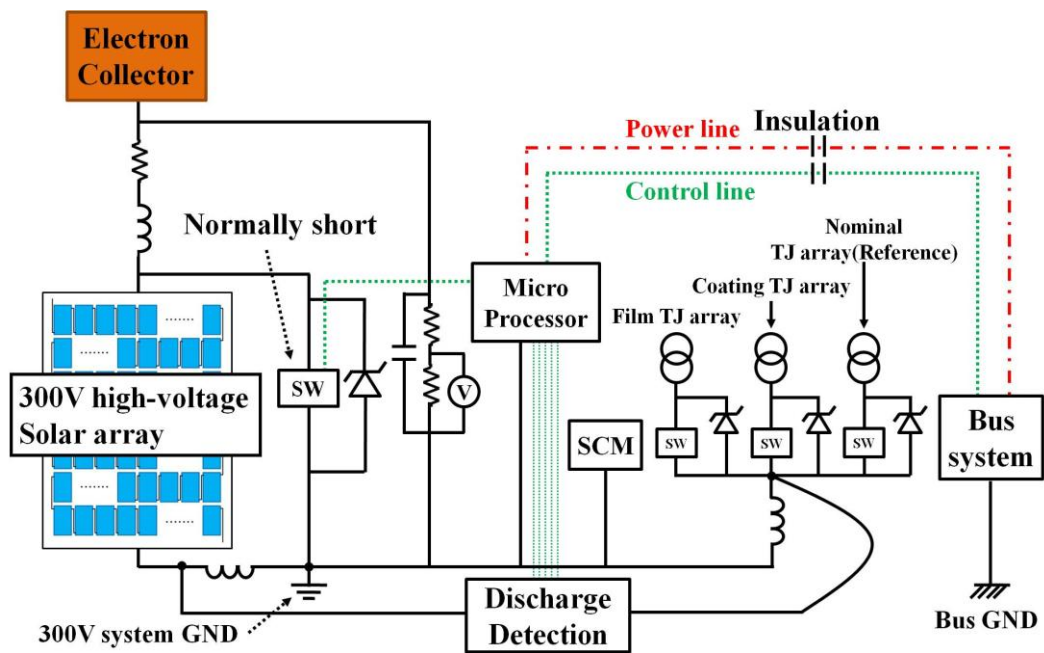


図 2.1 300V 系電気回路

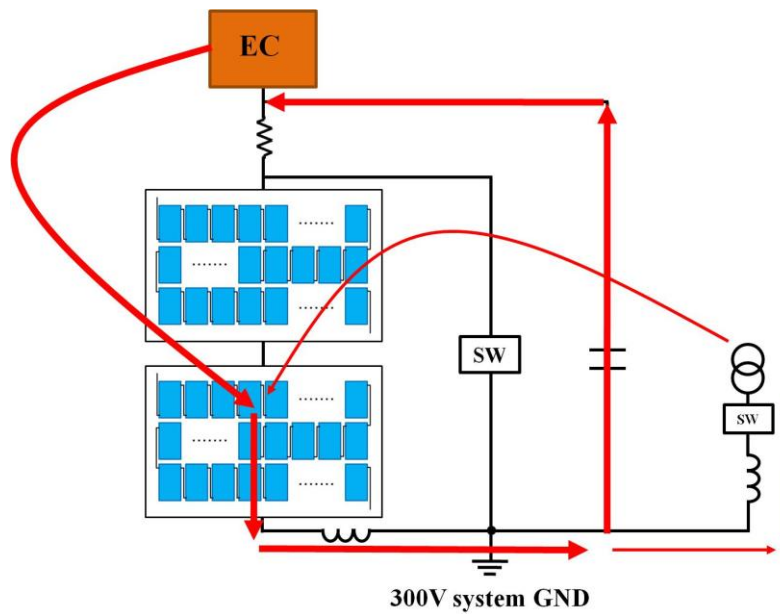
Figure 2.1 Electronic circuit of 300V system

ペイロードは基本的にバス系統からの ON 信号がない限り OFF であり、地上局からのミッションコマンドを受け、バス系統により起動される。300V 系が起動すると 300V 系の CPU が 300V 発電太陽電池に並列接続されているノーマリーショートスイッチをオンし、開放状態にする。300V 発電太陽電池に光が照射されていれば高電圧発電が開始され、プラズマ相互作用により 300V 系の電位(300V system GND)は発電電圧分だけ負に沈む。本ペイロードには 300V 系の電位を十分負に沈めるために 300V 発電太陽電池のアノード端に電子コレクタが接続されている。電子の移動度はイオンの移動度に比べて非常に大きいので、電子はコレクタのみで収集される。よって、電子コレクタは周辺プラズマと電氣的に接続されることになり、300V 系を発電電圧分だけ負に沈めることができる。300V 系の電位は軌道上で数多く実証実績のある表面電位モニタ(SCM)が用いられる。また 300V 発電太陽電池のアノード端に接続されている抵抗 100kΩは制限抵抗の役割を果たし、放電時にキャパシタンスに蓄えられた電荷が 300V 発電太陽電池

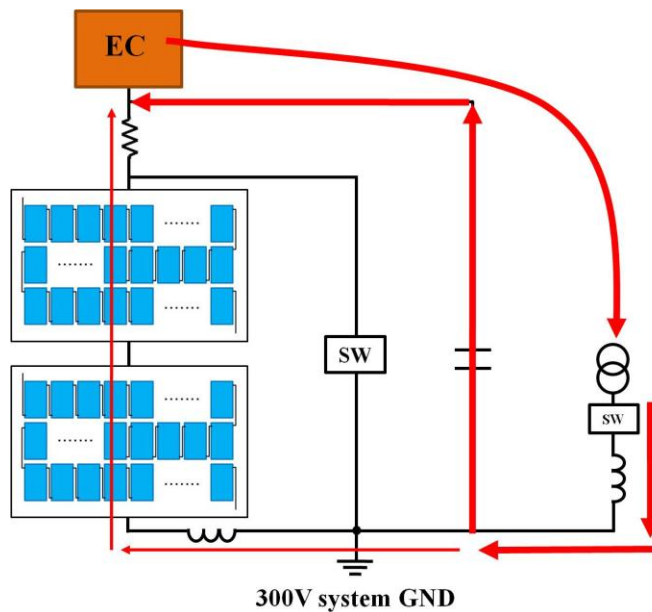
に流入しないようにしている。300V 発電太陽電池は周辺プラズマから電子を収集し数 mA 程度の電流が流れるので、抵抗値を 100k Ω より大きくすると制限抵抗に大きな電圧が印加され 300V 系の電位を十分に沈めることができなくなってしまう。

高電圧発電が開始されると、300V 発電太陽電池のカソード端(最も負バイアスされ放電が起きやすい部分)に接続されている太陽電池アレイにて放電試験が行われる。放電試験の供試体となる太陽電池アレイは GaAs/InGaP/Ge の 3 重接合太陽電池セルを 2 直列に接続したもの(TJ アレイ)である。TJ アレイは全部で 3 つ用意されており、2 つは放電抑制技術を施した TJ アレイ(フィルム TJ アレイ、コーティング TJ アレイ)であり、残り 1 つ(ノミナル TJ アレイ)はリファレンスのために用いられるため何も施されていない。各 TJ アレイ直下に接続されているスイッチ(ノーマリーオープン)をオンすることにより TJ アレイはバイアスされ放電試験が行われる。各 TJ アレイの放電試験結果を比較することで放電抑制技術の耐宇宙環境性について評価が行われる。

放電試験に取得されるデータは主に発電電圧、電位、放電回数である。発電電圧は抵抗分圧、電位は SCM により測定される。放電検出に関しては、開発当初は抵抗に流れる電流を検出することで放電検出を行う予定であったが、EM 放電試験で放電エネルギーを決定するコンデンサに蓄えられている電荷が十分に放電されなかったこと、また CPU の誤動作、開発の遅れが懸念されたため、電流が微小でも高周波であれば検出できるインダクタが用いられている。このインダクタは 300V 発電太陽電池のカソード端及び TJ アレイ直下に接続されている。放電発生時の電流経路は各太陽電池で図 2.2 のようになる。基本的にコンデンサに蓄えられた電荷が放電点から周辺プラズマを介して電子コレクタに流れ込むような閉回路が形成される。ただし、片方の太陽電池で放電が発生したとしても、もう一方の太陽電池側にも放電電流が微小であるが流れるために放電箇所の特特定(300V 発電太陽電池で起きたか、TJ アレイで起きたかの区別)が難しい。よって、300V 発電太陽電池では放電が発生しないような設計にしなければ、TJ アレイでの放電試験ができなくなってしまうので、300V 発電太陽電池の金属露出部分を RTV 接着剤で覆って放電が起きないようにしている。EM 環境試験(6.2, 6.5 節参照)を経た後で放電試験を行ったが、全く放電が発生しないという結果になった。



300V 発電太陽電池で発生した時



TJ アレイで発生した時

図 2.2 放電電流経路

Figure 2.2 Arc current path

以上のミッションに加えて、本ペイロードは放電抑制に用いられているフィルムの低地球軌道上における劣化試験も行われる。低地球軌道では特に原子状酸素により表面が劣化してフィルムの透過率が低下することが考えられる。また原子状酸素及び紫外線、熱サイクル、放射線などの他の宇宙環境要因との複合的な影響により透過率の低下を促進することも考えられる。劣化試験では、フォトダイオードによりフィルムを透過した

太陽光の照度の測定を定期的に行うことでフィルムの劣化に関する評価が行われる。

2.2 バス系インターフェース

本ミッションは高電圧、放電を伴う危険なミッションであるので、バス系や他のミッション機器への影響をできるだけ低減するために、バス系統とのインターフェースは絶縁素子を用いている。図 2.3 にバス系とのインターフェース回路を示す。

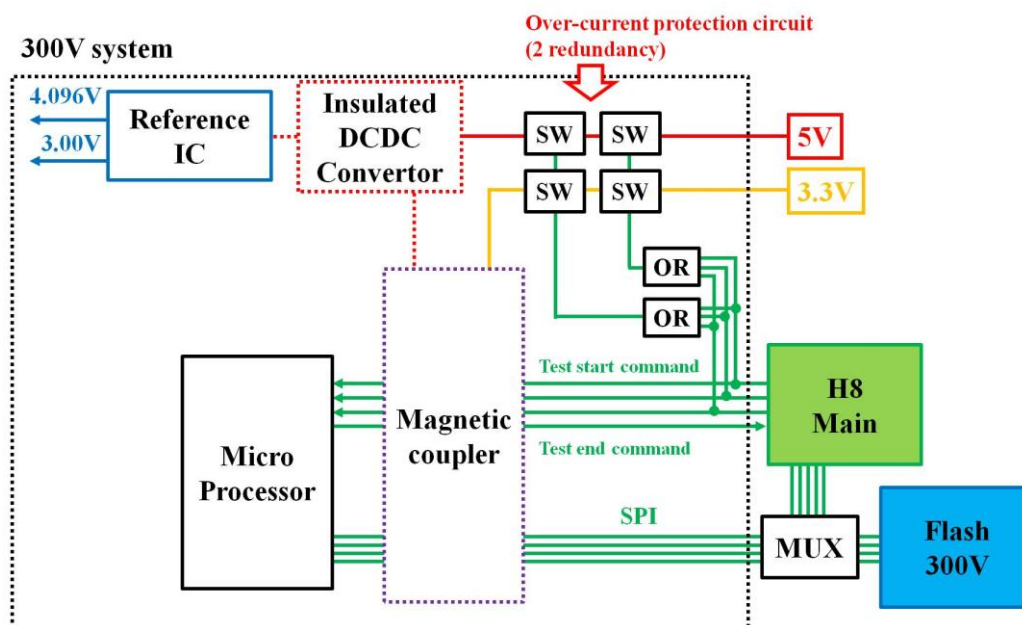


図 2.3 バス系インターフェース回路

Figure 2.3 Interface with bus system

300V 系の電力供給には絶縁型 DCDC コンバータが用いられており、+5V を供給することで±5V の電圧を出力することができる。また、OBC からの試験開始コマンドの受信や OBC への試験終了コマンドの送信、バス系側に配置されているフラッシュメモリへのアクセスのために磁気カプラが用いられている。フォトカプラではなく磁気カプラが用いられているのは、フォトカプラには放射線劣化により機能しなくなる恐れがあり、また磁気カプラには宇宙での実証実績があるためである。磁気カプラのスペックを表 2.1 に示す。

表 2.1 磁気カプラのスペック

Table 2.1 Specification of magnet coupler

型番	ADuM2200/2201
入出力耐圧	5kV
データレート	DC to 10Mbps
通信方向	双方向
レベル変換	3V/5V

2.3 電力供給回路

2.2 で述べたように電力供給には絶縁型 DCDC コンバータが用いられている。DCDC コンバータのスペックを表 2.2 に示す。300V 系の電子回路は全て+5V で駆動するように選定が行われており、またオペアンプには両電源を用いた方が、精度が良いという特徴があるために±5V を出力できる DCDC コンバータが選定されている。LEO 軌道において 300V 系で高電圧発電が行われたらバス系との間には発電電圧分(最大 350V)だけの電位差が生じる。しかし、地球の極域(オーロラ帯)では帯電原理が異なり、高エネルギー電子により衛星本体(バス系)も 300V 系も帯電する。この帯電の大きさが不明であるのでバス系と 300V 系の電位差も不明である。よって、入出力間の絶縁耐圧に関してはできるだけ絶縁耐圧の高い素子を選定している。

表 2.2 絶縁型 DCDC コンバータのスペック

Table 2.2 Specification of insulated DCDC convertor

型番	REC3.5-0505DRW/R10/A
入出力耐圧	10kV
入力電圧	5V
出力電圧	+5V/-5V
出力電流	+0.35A/-0.35A
出力電力	3.5W
効率	80%
ラインレギュレーション	0.3%
ロードレギュレーション	0.6%

図 2.3 に示されているように±5V の以外にもリファレンス電圧の供給が行われている。4.096V は AD コンバータのリファレンス電圧に用いられるため、精度が高く、温度シフトの小さい素子を選定した。3.00V のリファレンス IC は放電検出のトリガレベルを決定するために用いられるため、精度に関する要求はない。4.096V 及び 3.00V のリファレンス IC のスペックをそれぞれ表 2.3, 2.4 に示す。

表 2.3 AD コンバータ用リファレンス IC のスペック

Table 2.3 Specification of reference IC for AD convertor

型番	ADR292ERZ
最大入力電圧	18V
出力電圧	4.096V
初期精度	0.07%
最大温度係数	10ppm/deg
ラインレギュレーション	100ppm/V
ロードレギュレーション	100ppm/mA

表 2.3 放電検出回路のトリガレベル用リファレンス IC のスペック

Table 2.3 Specification of reference IC for trigger level of arc detection circuit

型番	ADR06ARZ
最大入力電圧	36V
出力電圧	3.00V
初期精度	0.2%
最大温度係数	10ppm/deg
ラインレギュレーション	30ppm/V
ロードレギュレーション	70ppm/mA

以上が 300V 系側への電力供給であるが、OBC 系は 3.3V 駆動であるので、試験コマンドの送受信、フラッシュメモリへのアクセスのために使用されている磁気カプラのバス系側に安全のため過電流防止回路付きのスイッチを介して 3.3V が入力されている。

2.4 インヒビット回路

300V 系は高電圧発電を伴うペイロードであるため、JAXA による安全設計が要求されている。安全設計しなければならないのは以下の 2 点である。

- (1) 爆発性雰囲気下において、300V 系統のスパークにより、ロケットまたは主衛星の推進薬へ引火し、爆発することによる破局
- (2) 射場作業中において、300V 発電太陽電池が不意に発電し、射場作業者が 300V 発電系統に接触することによる怪我

以上のハザードは、2 つともハザードレベル I に識別されているために、JAXA から 3 インヒビット回路の設計が要求されている。図 2.4 に 3 インヒビット回路を示す。

※ハザードレベルは I、II、III の 3 段階で、I が最もハザードレベルが高い

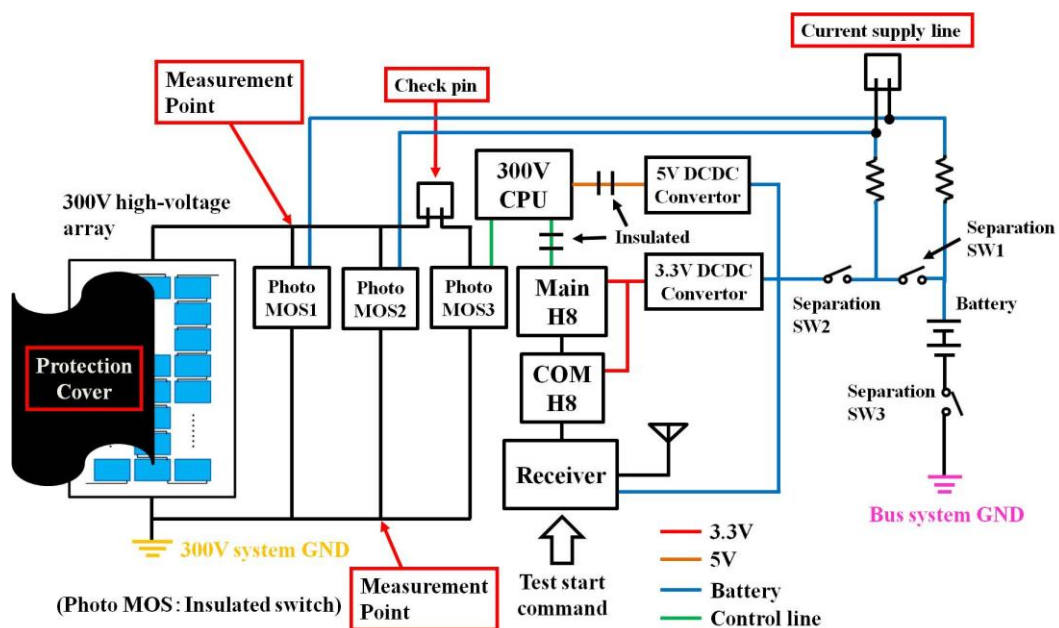


図 2.4 3 インヒビット回路

Figure 2.4 3 inhibit circuit

Photo MOS についてはノーマリーショートのスイッチ(絶縁型スイッチ)を使用しており、このスイッチは 300V 系 CPU、3つの分離スイッチにより制御され、3つの Photo MOS が開放状態になって初めて発電が開始される。スイッチの仕様及び外観、内部構造をそれぞれ表 2.5、図 2.5 に示す。

表 2.5 インヒビット回路用フォトモスのスペック

Table 2.5 Specification of Photo MOS for inhibit circuit

型番	G3VM-353B
接点構成	b 接点(ノーマリックローズ)
ピン数	6pin
LED 電流	5 to 25mA
負荷電圧	350V
負荷電流	150mA
入出力耐圧	2.5kV
標準オン抵抗	15Ω

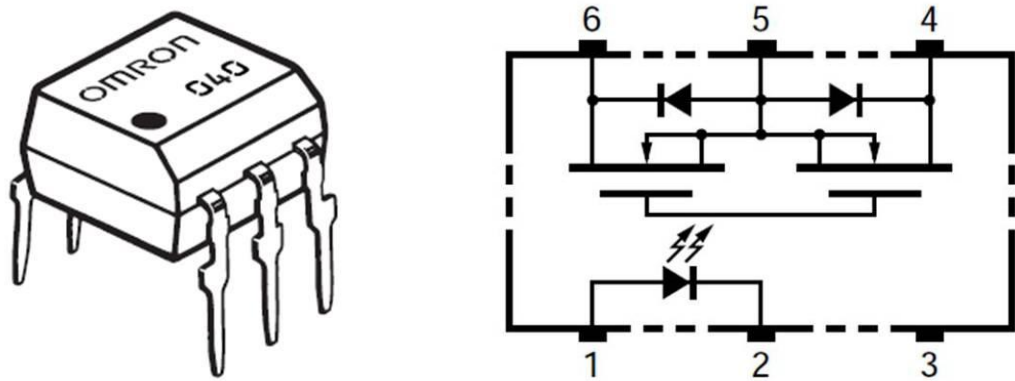


図 2.5 3 インヒビット回路用 Photo MOS の外観と内部構造
 Figure 2.5 Overview and inside structure of Photo MOS for inhibit circuit

Photo MOS を 3 並列に接続しているのは Photo MOS が静電気などの原因で開放故障した場合、またはんだ付け不良などのヒューマンエラーによる開放に対して 3 インヒビットを設けるためである。たとえ Photo MOS が 2 つ開放故障したとしても残り 1 つの Photo MOS は短絡状態であるので発電は行われない。Photo MOS は簡単に基板からはずれてしまうのをできるかぎり防ぐためにピン数が多い 6 ピンのものを選択し、また、表面実装型ではなく、スルーホール型のものを選択している(スルーホールは基板の両面ではんだ付けされるため)。

発電が行われるのは、3つの分離スイッチがオン状態になり、かつ、地上局からの試験開始コマンドを受けて、Main-H8(OBC)が300V系CPUに発電開始のコマンドを送り、300V系CPUがPhoto MOS3をON(開放)にしたときである。インヒビットの数は、分離スイッチ1, 3で2インヒビット、分離スイッチ2と地上局からの試験開始コマンドで1インヒビット、合計3インヒビットである。また、単一故障により3つのPhoto MOSが開放状態にならないような設計となっている。

フライト用 PAF239M 取り付け作業時には安全のために保護カバーにより 300V 発電太陽電池を遮光する。ただし、この保護カバーはあくまでもできるだけ安全に作業ができるためのものであり、インヒビットには数えられていない。

射場作業中や打ち上げ前に 3 インヒビット回路の健全性を確かめるために、3 インヒビット中 2 インヒビットをモニタリングしなければならない。モニタリング時はチェックピン(フライトピン)を外しておくことで MOS1、MOS2 の健全性を確かめる。MOS3 は 300V 系 CPU の信号がない限り短絡状態であり、外部から手で ON-OFF できないため MOS3 の健全性は確かめられない。電流供給ピンの MOS1 の方に外部バッテリーにより電流を流すことで MOS1 が開放状態になるため、この時の計測点の電位差を計測することで MOS2 の健全性を確認できる。一方、電流供給ピンの MOS2 の方にバッテリーにより電流を流すことで MOS2 のみが開放状態になるため、この時の計測点の電位差を

測定することで MOS1 の健全性を確認できる。最後に電流供給をする回路の現前性を確かめるために、MOS1, 2 に電流を流し両方とも開放状態にし、テストで開放状態になることを確かめる。電流供給ピンは 300V 系基板には搭載されておらず底面基板に搭載されており、衛星上面から供給可能である(図 3.6 参照)。

2.5 発電電圧測定回路

発電電圧の測定回路を図 2.6 に示す。発電電圧は高電圧であるため抵抗分圧により測定が行われる。また、抵抗に印加されている電圧をそのまま AD コンバータに入力すると出力インピーダンスが大きいため正常に測定できない恐れがあるため、出力インピーダンスを低減するためにオペアンプで構成されたボルテージフォロワを介して測定が行われる。発電電圧の校正理論値は下式で表わされる(最大測定レンジ：500V)。

$$(\text{発電電圧}) = (\text{ADC 出力データ}) \times (4.096/256) \times (100/0.82) \quad (\text{式 2-1})$$

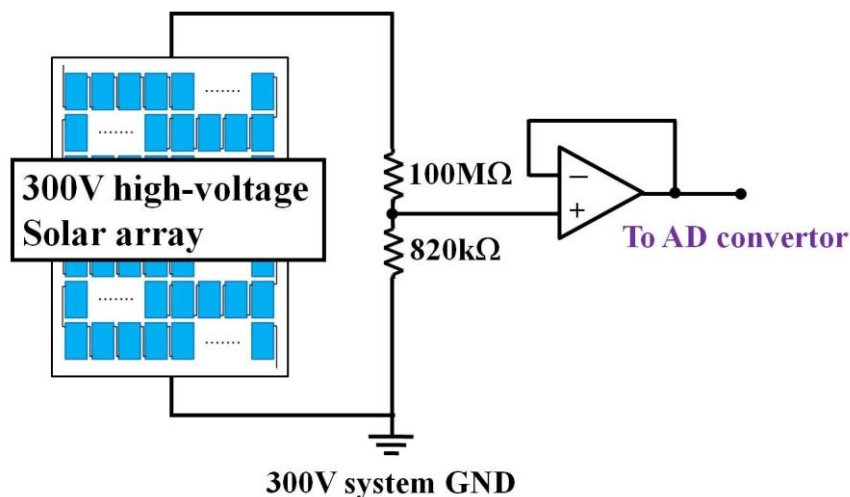


図 2.6 発電電圧測定回路

Figure 2.6 Generation voltage measurement circuit

ボルテージフォロワで用いられているオペアンプのスペックを表 2.6 に示す。このオペアンプは電位測定で用いられているオペアンプを除いて、温度センサ及び照度計に用いられている。

表 2.6 オペアンプのスペック

Table 2.6 Specification of high precision operational amplifier

型番	LTC1053CSW
タイプ	高精度、低温度ドリフト
トータル供給電圧	16.5V
両電源動作電圧	±2.38 to 8V
出力タイプ	Rail to Rail
オフセット電圧	5 μ V
温度ドリフト係数	0.05 μ V/deg
ノイズ	1.5 μ Vp-p
最大ゲイン	120dB

2.6 電位測定回路¹²⁾

電位の測定には宇宙軌道上で実証実績のある SCM を用いる予定である。SCM はフッ素樹脂を銅板にコーティングしたもので、フッ素樹脂の容量(150nF)と銅板と 300V 系 GND に接続されている 50nF のコンデンサの容量分割によりフッ素樹脂表面と 300V 基板グラウンド間の電位差を計測する(図 2.7)。フッ素樹脂表面がほぼプラズマ電位になることを利用して、300V 系のプラズマに対する電位を計測する(最大測定レンジ:500V)。300V system GND に対するプラズマの電位を測定しているのでプラスの値で出力される。300V 発電時はプラズマとの電位差は最大で 350V であるが、極域では電位差がさらに大きくなり、オペアンプ入力部分に過電圧が入力されることが懸念されるが、抵抗で十分に分圧してからオペアンプで増幅しているので問題ない。また、オペアンプの入力部分に接続されている抵抗は保護抵抗である。

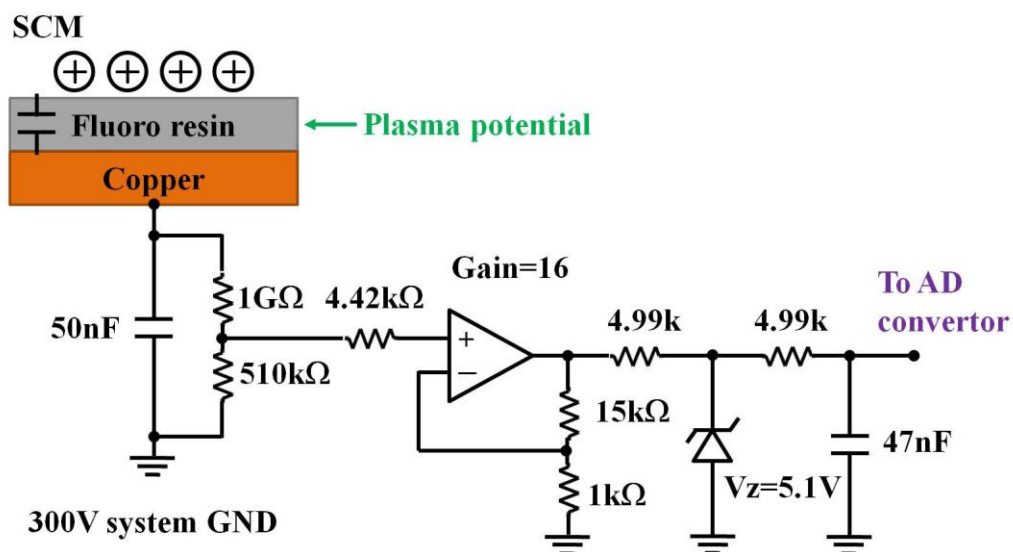


図 2.7 電位測定回路

Figure 2.7 Potential measurement circuit

コンデンサにより分圧された電圧のままでは高電圧であるので、さらに抵抗で分圧する。この電圧を、ボルテージフォロワを兼ねた非反転増幅回路(増幅率：16倍)により増幅し、ADコンバータで測定が行われる。電位の校正理論値は下式で表わされる。
 (電位)=(ADC出力データ)×{(150+50)/150}×(4.096/256)×{1000/(0.51×16)} (式 2-2)
 非反転増幅回路で用いられているオペアンプのスペックを表 2.7 に示す。

表 2.7 SCM用オペアンプのスペック

Table 2.7 Specification of operational amplifier for SCM

型番	MCP6013-E/SN
タイプ	精密
シングル供給電圧	3V/5V
出力タイプ	Rail to Rail
オフセット電圧	0.15mV
最大ゲイン	115dB

増幅回路とADコンバータの間にある回路は過電圧防止用のツェナーダイオードとノイズ低減のためのローパスフィルタである。

2.7 放電検出回路

放電検出回路を図 3.8 に示す。上述したように、高周波電流によりインダクタに誘起された電圧を検出することで放電検出は行われる。図 2.8(a)のような誘起電圧が発生す

ると、高速応答できるオペアンプにより (b) のような電圧波形に変換される。(b) の波形はノイズが非常に多く、 μsec オーダーでオンオフを繰り返しているため、300V 系 CPU では検知が難しい。そのため間にタイマ IC を介すことで、ノイズがなく時間幅が 1sec のパルス(c)に変換し 300V 系 CPU でも検知できるようにしている。

オペアンプの前に接続されているツェナーダイオードは放電検出回路に過電圧が印加されるのを妨げるために接続されている。放電パルスは μsec オーダーで変化するため高速応答できる ESD 用のツェナーダイオード($V_z=4.7\text{V}$)を選定している。この ESD 用ツェナーダイオードは DC~1MHz までの周波数帯域に対応している。

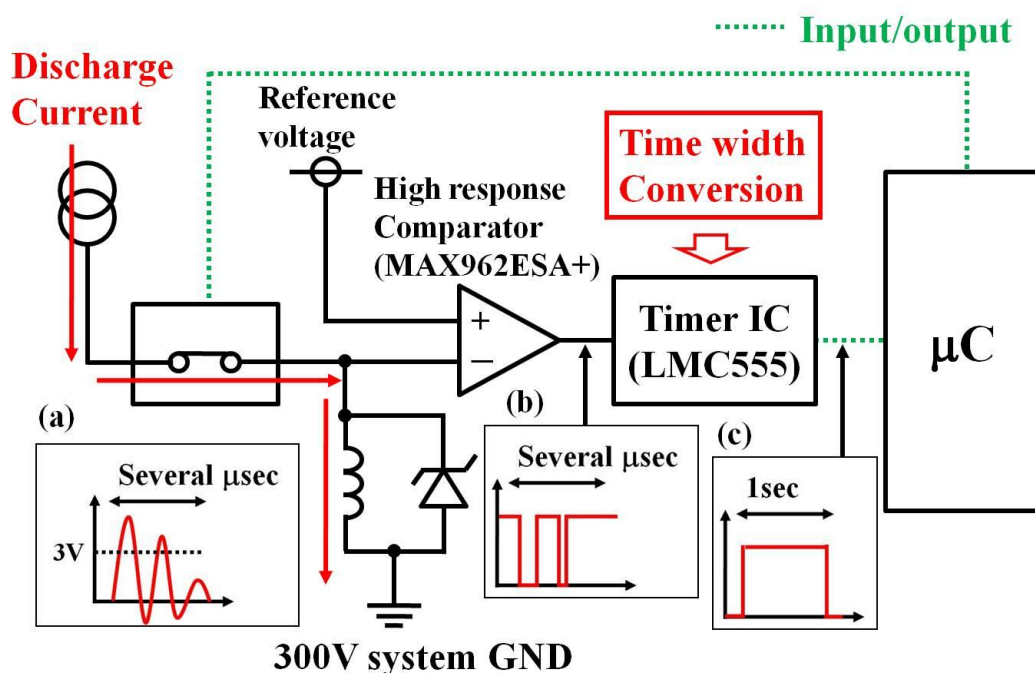


図 2.8 放電検出回路

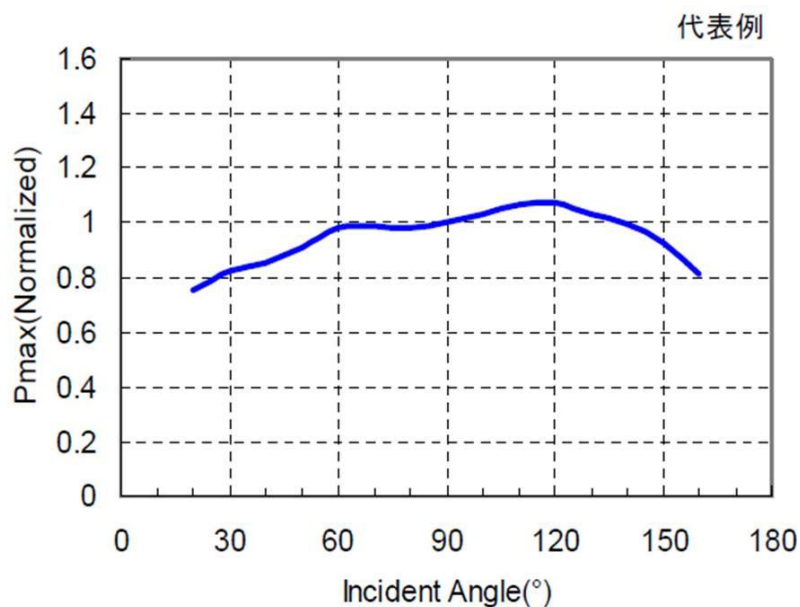
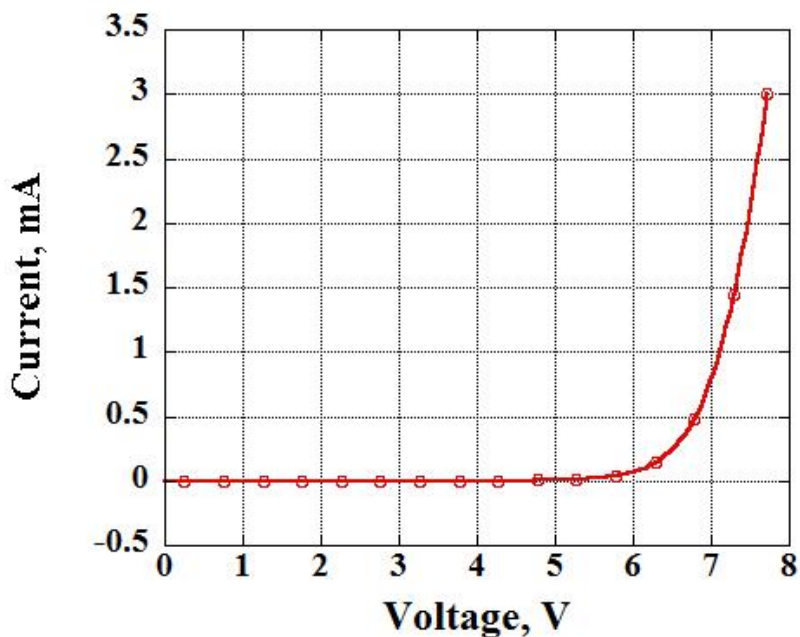
Figure 2.8 Arc detection circuit

2.8 300V 発電太陽電池

300V 発電太陽電池は高電圧を発生させ、放電環境を作るために用いるものであり、太陽電池の軌道上実証のためではない。また、この太陽電池からバス系やミッション機器に電力を供給することも行わない。

300V 発電太陽電池には、京セミ株式会社製の球状太陽電池スフェラーを使用している。スフェラーアレイ F12 モジュール(スフェラーアレイ)1 個当たりの発電電圧は約 7V(開放電圧)であり、無指向性である(図 2.9)。スフェラーアレイのスペックを表 3.8 に示す。300V 発電太陽電池はスフェラーアレイを 66 個直列に接続したものを 2 個作り、それらをさらに直列接続した構成になっている。よって、全てのスフェラーアレイ(132 個)が発電した時の最大発電電圧は約 900V 程度(室温)である。また、300V 発電太陽電

池を構成しているスフェラーアレイにそれぞれバイパスダイオードが接続されている。これはヒューマンエラーやロケット打ち上げ時の振動衝撃による太陽電池の破損、熱サイクルによる劣化を考慮した設計である。ただし、太陽電池の発電電圧は、素子の耐圧や放電頻度が高くなりすぎることを考慮してツェナーダイオードにより 350V に制限している。ツェナーダイオードはツェナー電圧が 100V のものを 3 つと 50V のもの 1 つを直列接続することで構成されている。



測定条件 : AM1.5, 100mW/cm², 25°C

図 2.9 スフェラーアレイの暗 IV 特性と指向性

Figure 2.9 Dark IV characteristic and directivity of spherical cell module

表 2.8 スフェラーアレイ単体のスペック

Table 2.8 Specification of spherical cell module

開放電圧	7.27V
短絡電流	2.3mA
最大出力	13.5mW
最適動作電圧	6.00V
最適動作電流	2.2mA

開発概要で述べているが、300V 発電太陽電池では放電が発生してはいけないので金属露出部分は RTV 接着剤で覆われている。

2.9 放電抑制技術

搭載される放電抑制技術はフィルムと半導電性コーティングである。本ペイロードではフィルムと半導電性コーティングの耐宇宙環境性の評価を行うことを目的としている。以下に放電抑制の原理及び利点を示す。

フィルム

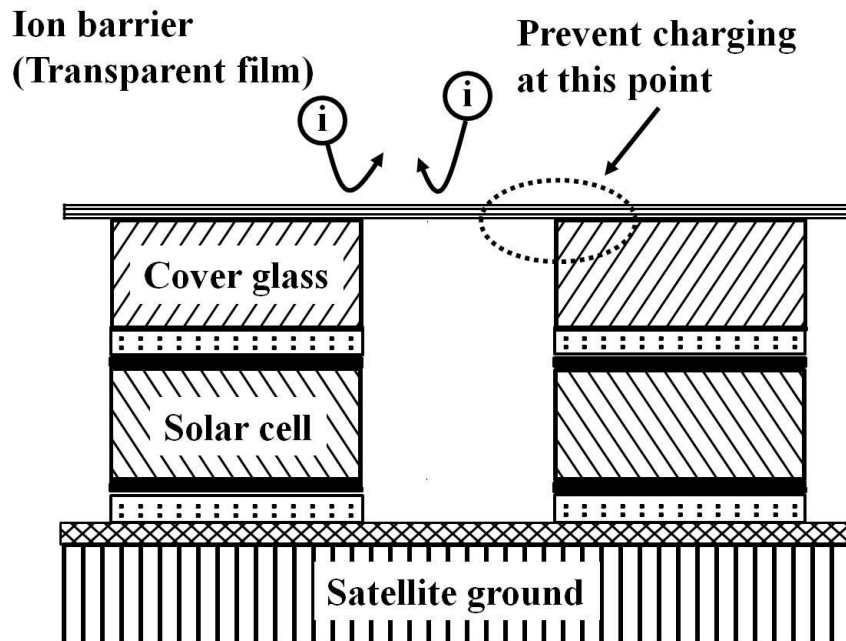


図 2.10 フィルムの放電抑制原理

Figure 2.10 Arc mitigation mechanism of ETFE film

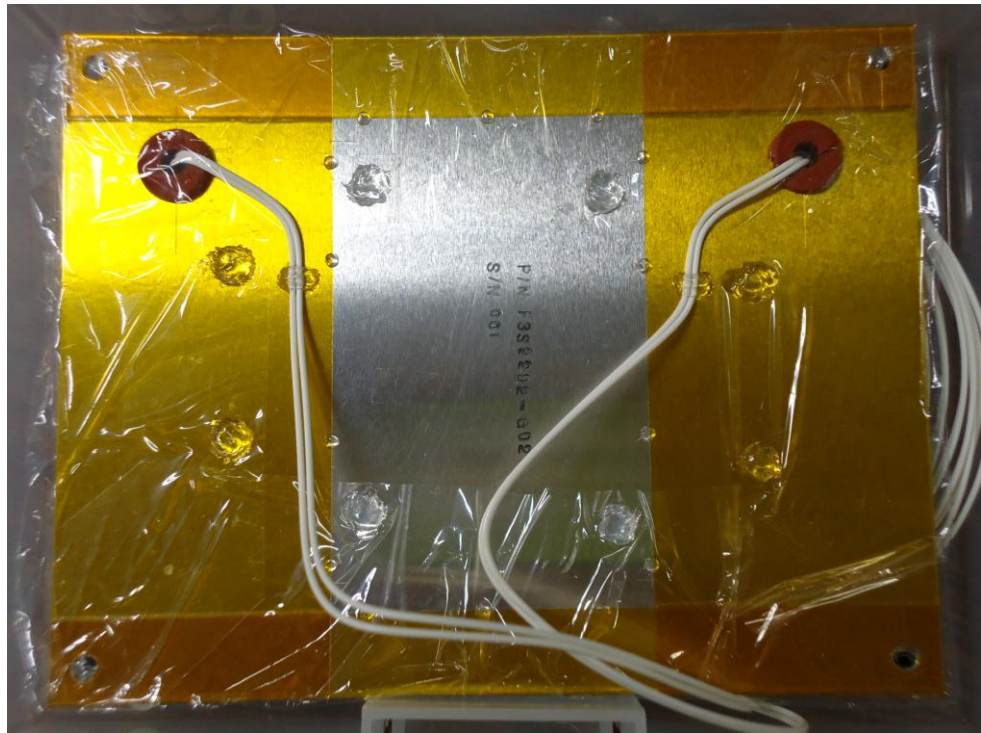
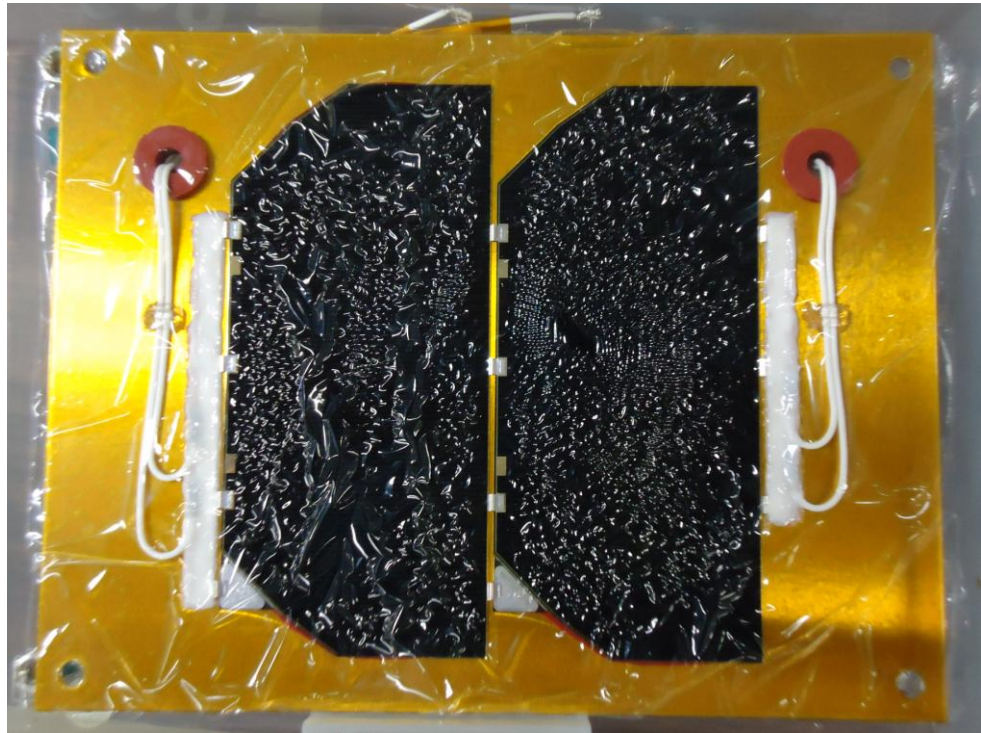


図 2.11 フィルムの外観
Figure 2.11 Overview of ETFE film

図 2.11 のようにフィルム(ETFE: Ethylene-Tetra Fluoro Ethylene)はTJ アレイ全体を覆うように搭載される。フィルムはイオンバリアの役目を果たし、カバーガラス側面の帯電を防ぐ。ただし、カバーガラス表面は帯電しているためカバーガラスと衛星構体に電界が発生し、トリプルジャンクションからの放出電子によりカバーガラス側面から2次電子が発生する(図 2.10)。しかし、この2次電子はフィルムの裏側にとらえられるため電界が相殺され、電界が強められることはなく放電は発生しない。

図 2.11 でフィルムにしわがよっているが、これは-100℃~+70℃の熱サイクルを窒素雰囲気中で 15 サイクル行ったからである(6.2 節参照)。フィルムは熱サイクルをかけることで膨張と収縮を繰り返すが、アレイ裏面に回り込ませて留めることで、収縮を起こしたときでも破れない工夫をしている。フィルムアレイの利点としては以下の3つがある。

- (1) 従来の太陽電アレイの設計方法を変える必要がなく、ただフィルムを被せるだけで放電抑制を実現できる
- (2) 太陽電池と密着しないので、熱サイクルがかかっても割れが発生しない
- (3) 800Vまでバイアスをかけても放電が発生しないことを実証済みで放電を完全に遮断できる¹³⁾

半導電性コーティング

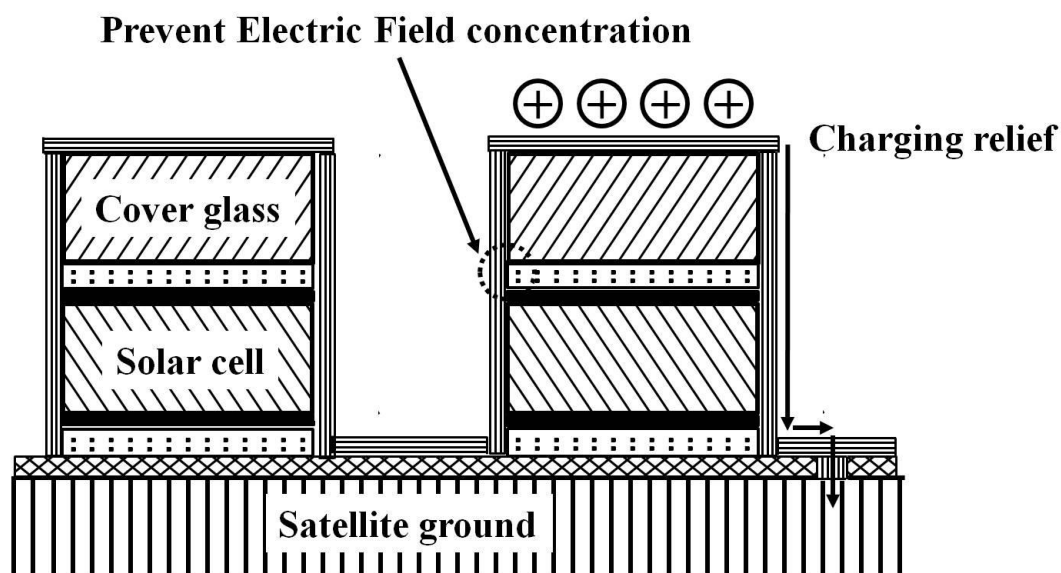


図 2.12 半導電性コーティングの放電抑制原理

Figure 2.12 Arc mitigation mechanism of semi-conductive coating



図 2.13 コーティングの外観

Figure 2.13 Overview of semi-conductive coating

図 2.13 のように半導電性コーティングは太陽電池全体に散布され、カバーガラスに帯電した電荷を衛星構体に高抵抗で逃がすことで帯電を緩和して放電を抑制する。また電界集中しやすい箇所を覆う効果もある(図 2.13)。コーティングは発生電力が低下しないように散布される予定であったが、放電抑制に重点を置いてコーティングをすると厚塗りしなければならず、図 2.14 のようにコーティング前後で発電電力は低下している。

利点としてはフィルムと同様に従来の太陽電アレイの設計方法を変える必要がないことである。従来の帯電を抑えることが必須の科学衛星等では、透明導電性(ITO)コーティングを施したカバーガラス 1 枚 1 枚に対して接地をとって帯電を防いでいたが、その作業は非常にコストがかかる。一方半導電性コーティングは、太陽電池パネルを製作後に、スプレー等で全面に散布することを想定している。そのため、最小の工数で放電抑制を実現できる。

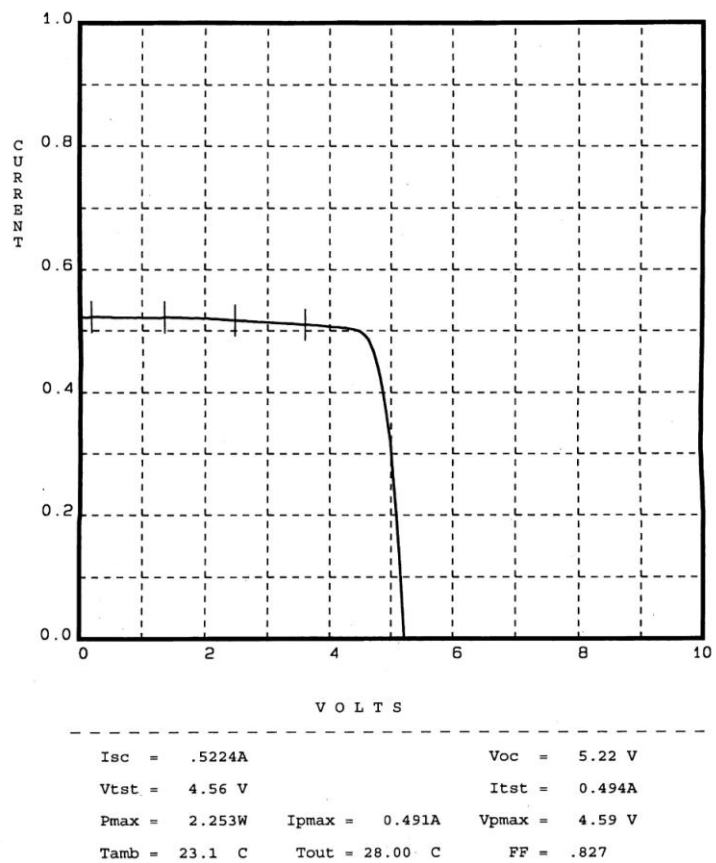
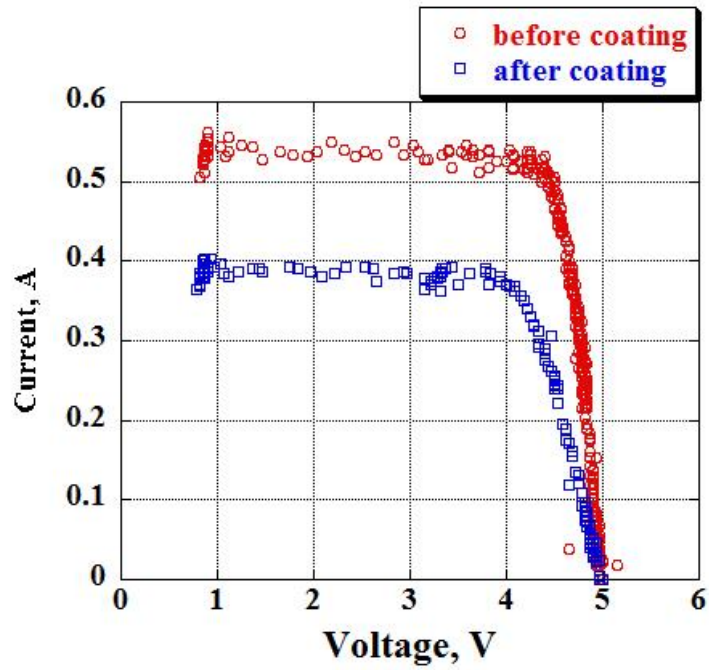


図 2.14 コーティング前後の TJ アレイの出力電力と TJ アレイのデータシート
 Figure 2.14 Output power of TJ array before/after coating and datasheet of TJ array

2.10 照度計

フィルムの太陽光透過率の劣化具合は、フォトダイオードを用いた照度測定により取得することができる。照度計の回路図を図 2.15 に示す。

フォトダイオードは照度に比例した電流が出力される。この電流を測定することで照度の測定は可能である。しかし、この電流は非常に微小であるので、オペアンプと高抵抗により構成された電流電圧変換回路で電圧に変換したものが AD コンバータで測定される。フォトダイオードの光電流は電流電圧変換回路の高抵抗を通り、またオペアンプの入力端子はバーチャルショート(仮想短絡)であるため、オペアンプの出力値は式 3-3 で表わされる。因みに抵抗値は AM0-1.0sun の光を照射したとき 3.0V が出力されるように設定して軌道上でオーバーレンジにならないようにしている。

$$(\text{オペアンプ出力電圧}) = (\text{フォトダイオード光電流}) \times (4\text{k}\Omega) \quad (\text{式 3-3})$$

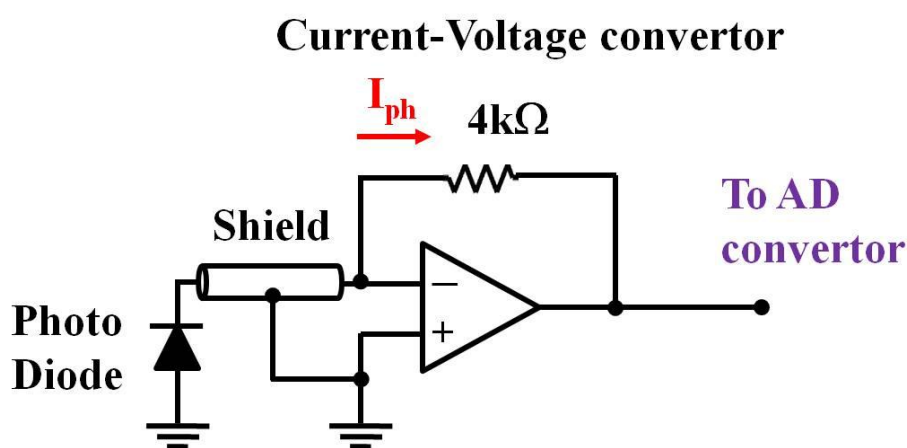


図 2.15 照度計回路

Figure 2.15 Illumination measurement circuit

フォトダイオードから出力される光電流は非常に小さい値であり、ノイズの影響を受けてしまう恐れがあるために、フォトダイオードの配線はシールド線(同軸ケーブル)が用いられている。

過去に原子状酸素と紫外線の複合要因による光学特性の劣化試験が行われている¹⁴⁾が、その結果としては図 2.16 のように 300~600nm の散乱透過率の低下が最も多い。また、シリコン太陽電池や多重接合太陽電池(2J, InGaP/GaAs)の分光感度は図 2.17 のように 300~400nm の範囲ではあまり感度は良くない。因みに TJ セルの Ge の量子効率率は 800~1600nm の範囲であるので TJ セルの 300~400nm の範囲の感度も良くないと考えられる。

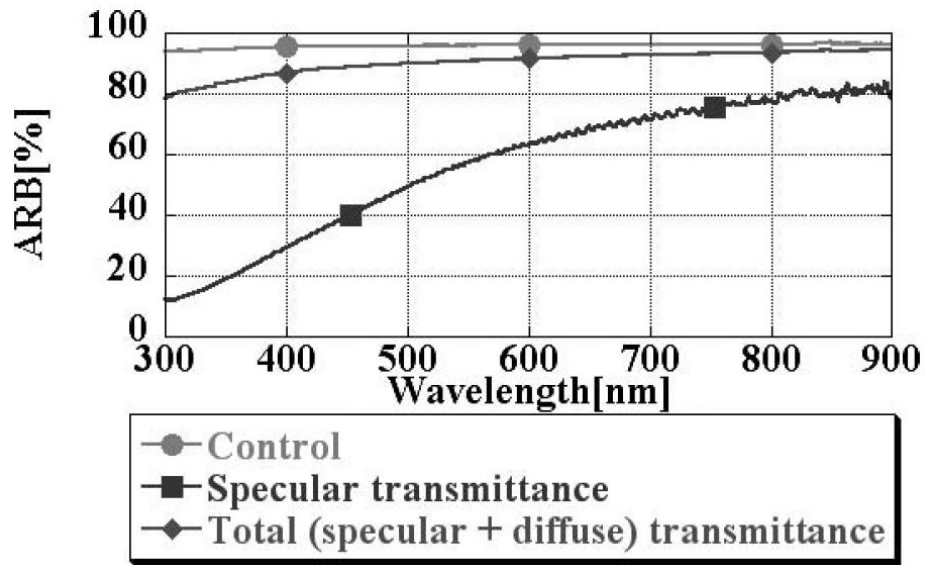


図 2.16 原子状酸素と紫外線の複合要因による光学特性の劣化試験結果¹⁴⁾

Figure 2.16 Optical characteristic change of ETFE film due to combined exposure to atomic oxygen and ultraviolet ray

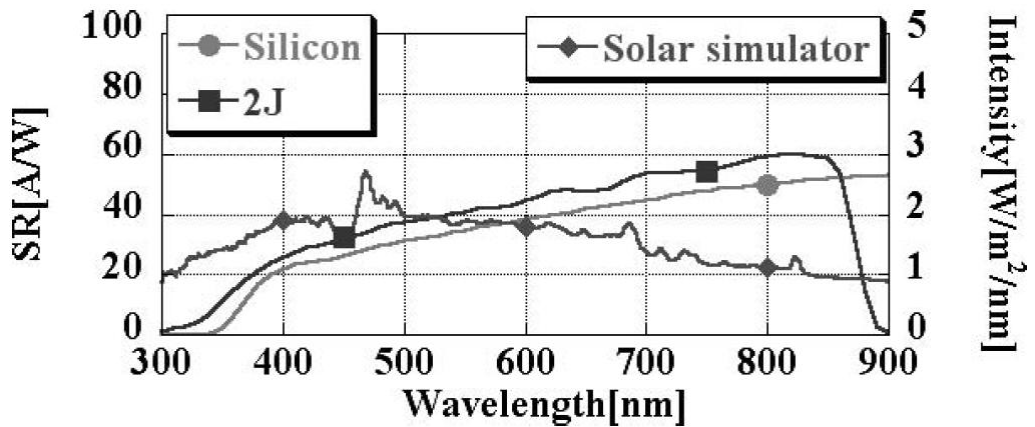


図 2.17 シリコン太陽電池と 2J セルの分光感度特性¹⁴⁾

Figure 2.17 Spectral sensitivity characteristic of silicon and 2J cell

以上より太陽電池の分光感度が高く、且つ劣化が起きやすい波長域で最大の感度を持つフォトダイオードを選定した。フォトダイオードの分光感度特性を図 2.18 に示す。

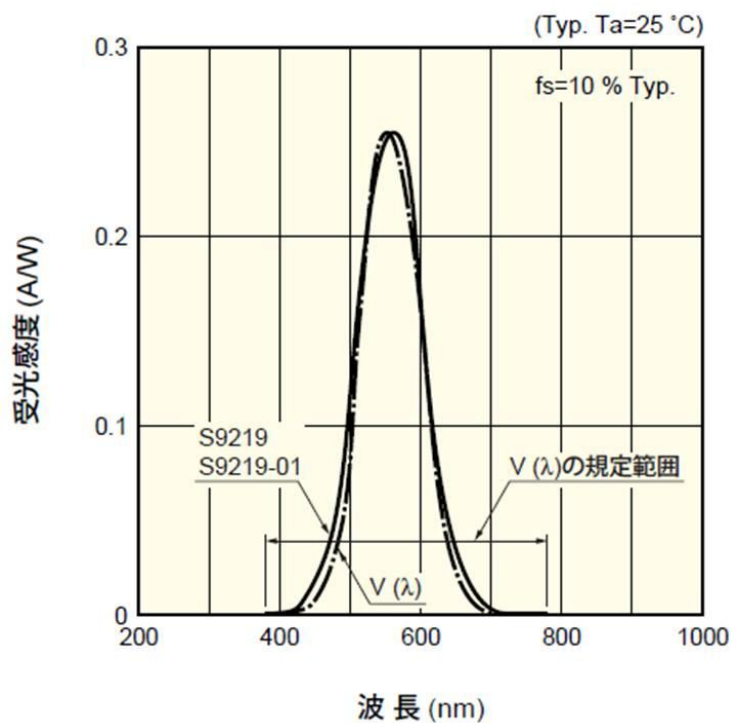


図 2.18 フォトダイオードの分光感度特性

Figure 2.18 Spectral sensitivity characteristic of photo diode

2.11 その他のハードウェア

300V系CPU

300V系CPUには、宇宙実証実績のあるPICマイコン(16F877A)が用いられている。300V系CPUのピンアサインを表2.9に示す。300V系CPUは試験コマンドに応じて高電圧発電の制御、バイアスするTJアレイの制御、各センサの計測が行われる。バス系とのインターフェースに関しては、試験開始コマンドの受信、試験終了コマンドの送信、フラッシュメモリへのアクセスが行われる。

表 2.9 300V系CPUのピンアサイン

Table 2.9 Pin assignment of 300V CPU

	MCLR	MCLR	1	40	TX	RS232_TX_PC	RS232
A	300V_OUTPUT	AN0	2	39	RX	RS232_RX_PC	RS232
A	SCM	AN1	3	38	RB5	ON_CMD3	I
A	TEMP_SUBST	AN2	4	37	RB4	ON_CMD2	I
REF	REF_4.096V_300V	AN3	5	36	RB3	ON_CMD1	I
		RA4	6	35	RB2	OFF_CMD	O
A	TEMP_DIODE	AN4	7	34			
A	LIGHT	AN5	8	33			
		RE1	9	32	Vdd	Vdd	
		RE2	10	31	Vss	Vss	
	Vdd	Vdd	11	30	RD7		
	Vss	Vss	12	29	RD6	SPI_CS	SPI
	OSC1	OSC1	13	28	RD5	CELL_DETECTION_3	I
	OSC2	OSC2	14	27	RD4	CELL_DETECTION_2	I
O	300V_START	RC0	15	26			
O	FILM_ON	RC1	16	25	RC6	TJ_ON	O
O	COATING_ON	RC2	17	24	SDO	SPI_SDO	SPI
SPI	SPI_SCK	SCK	18	23	SDI	SPI_SDI	SPI
I	300V_DETECTION_1	RD0	19	22	RD3	CELL_DETECTION_1	I
I	300V_DETECTION_2	RD1	20	21	RD2	300V_DETECTION_3	I

温度センサ

温度は 300V 系電子回路の健全性チェックのために測定される。温度センサのスペックを表 2.10 に、回路図を図 2.19 に示す。この温度センサは 0deg で 0V を出力し、単位温度あたり+10mV 変化する特徴をもつ。また AD コンバータの入力範囲が 0 以上でなければならないので 0deg 以下の温度を測定することができない。そのため温度センサからのアナログ電圧を、電圧レベルシフト回路を介して 0deg 以下でも正電圧が出力されるようにしている。レベルシフト回路のシフト電圧は 1.25V である。また増幅率は 1.5 倍であるので単位温度あたり+15mV 変化する。よって ADC に入力される電圧値は $0.015 \times (\text{温度}) + 1.25$ となる。温度の校正理論値は下式で表わされる。

$$(\text{温度}) = \{ (\text{ADC 出力データ}) \times (4.096/256) - 1.25 \} / 0.015 \quad (\text{式 3-4})$$

表 2.10 温度センサのスペック

Table 2.10 Specification of temperature sensor

型番	LMC35CZ
センサゲイン	10mV/deg
動作電圧	5V
精度	±0.4deg

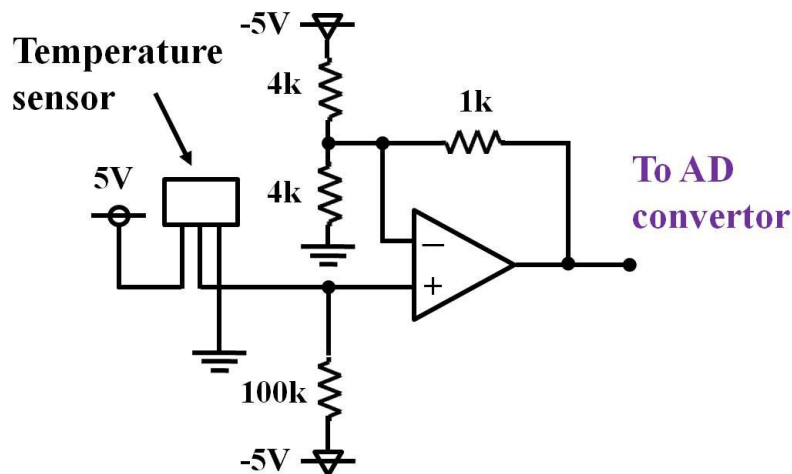


図 2.19 温度センサ回路

Figure 2.19 Temperature sensor circuit

※300V 系で用いられている温度センサはバス系のものとは異なる。これは放電による劣化試験で測定される光 IV 特性が温度依存するため精度の高い温度センサが必要であったためである。

電力供給制御回路：過電流防止回路、スイッチ2直列、OR回路

電力制御回路は図 2.3 に示されているように3ラインある試験開始コマンドラインがOR回路を介して2直列に接続された異なるスイッチング回路の制御が行われる。この回路は5V及び3.3Vの2系統存在する。試験コマンドは3つのコマンドラインのHigh/Lowの組み合わせで構成されるが、全てがLowのコマンドは存在せずOR回路の出力もLowであるので300V系を起動させることもできない。また、スイッチング回路は300V系側で不具合が起きた時に確実に電力を遮断できるように2直列に接続されている。スイッチング回路のうち1つは過電流防止回路付きで、過電流が流れると電力を遮断できるようになっている。過電流防止回路の電流閾値は5V供給ラインが1.5A、3V供給ラインが0.25Aである。

フラッシュメモリ

試験データの保存にはフラッシュメモリを用いる。フラッシュメモリは300V系のため1つだけバス系側に設置されており、他のミッションデータは保存されない。フラッシュメモリへのアクセス方式はSPI通信であり、磁気カプラを介してデータの読み取りおよび保存が行われる。フラッシュメモリへの保存方法については後述する(4.6節参照)。

バイアス回路

TJアレイのバイアスには300V系CPUへの放電ノイズをできるだけ低減するためにPhoto MOSが用いられている。バイアス用スイッチのスペックを表 2.11 に示す。また、スイッチオフ時は、TJアレイは300V系から浮いている状態になるため、オーロラ帯の高エネルギー電子を受けて大きな電位差が生じる可能性がある。しかし、負荷耐圧(出力側の耐圧)が十分大きい素子がなかったため、300V系とTJアレイの電位差が400Vを超えないようにツェナーダイオードがバイアス用スイッチに並列接続されている。LEO軌道において高電圧発電をすると300V系とバイアスされていないTJアレイの電位差は最大で350Vとなるため、この電圧を上回るようにツェナー電圧は設定されている。ツェナーダイオードは発電電圧制限用に用いられているツェナーダイオード($V_z=100V$)を4直列接続して構成されている。バイアス用Photo MOSのスペックを表 3.10 に示す。

表 2.11 バイアス用 Photo MOS のスペック

Table 2.11 Specification of Photo MOS for biasing TJ array

型番	AQZ104
負荷電圧	400V
負荷電流	0.7A
入出力耐圧	2.5kV(AC)

2.12 ペイロードスペック

300V 系基板の外観を図 2.20 に、スペックを表 2.12 に示す。300V 系基板は非常に小型軽量であり、電子回路は全て民生用の部品で構成されており、安価・短期間に取りそろえることができる。

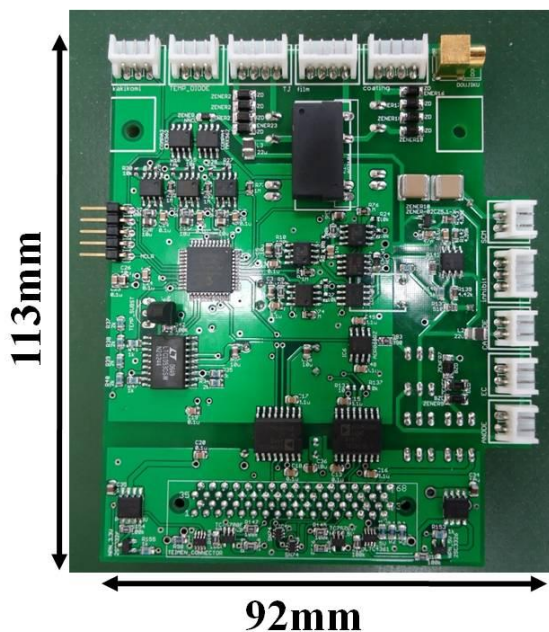


図 2.20 300V 系基板外観

Figure 2.20 Overview of 300V system board

表 2.12 300V 系基板のスペック

Table 2.12 Specification of 300V system board

サイズ	92 x 113mm
重量	108g
動作電圧	5V
消費電力	0.72W※
CPU	16F877A
動作温度範囲	-15 to 55deg
ADC 数	5
ADC 分解能	8bit
ADC 測定レンジ	0 to 4.096V
ADC 精度	< 16mV※※
放電検出回路数	2 (3 冗長系)

※EM の消費電流は 2.3W(電源系の変更が原因)

※※ADC の精度はデータを 100 回取得して平均することで確保している

照度計基板の外観を図 2.21 に、スペックを表 2.13 に示す。



図 2.21 照度計基板外観

Figure 2.21 Overview of illuminometer board

表 2.13 照度計基板のスペック

Table 2.13 Specification of illuminometer board

サイズ	25 x 72mm
重量	12g
動作電圧	5V
動作温度範囲	-20 to 60deg
搭載素子	フォトダイオード 温度センサ
外部コネクタ	デバッグ 3 インヒビットモニタリング(フライトピン) バス系 GND-300V 系 GND 短絡(RBF ピン)